



Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

APRUEBA CURSO DE ACTUALIZACIÓN DE POSGRADO

Buenos Aires, 19 de abril de 2018

VISTO la Resolución N° 127/18 del Consejo Directivo de la Facultad Regional Bahía Blanca, a través de la cual solicita la aprobación y autorización de implementación del Curso de Actualización de Posgrado "Sistemas Embebidos en Lógica Programable (SOPC)", y,

CONSIDERANDO:

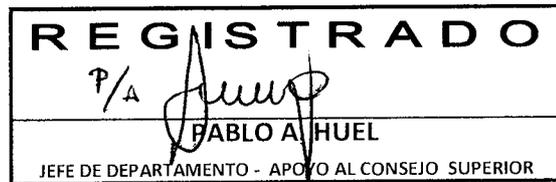
Que el Curso propuesto responde a la necesidad de brindar a docentes y graduados de la Universidad, herramientas relacionadas con el diseño digital que utilizan dispositivos lógicos configurables de alta capacidad (FPGAs).

Que la Facultad Regional Bahía Blanca cuenta con un plantel de profesores de elevado nivel académico y profesional, además de una prolongada y amplia experiencia en el dictado de cursos y seminarios vinculados al propuesto.

Que la Comisión de Posgrado de la Universidad ha analizado los antecedentes que acompañan la solicitud y avala la presentación, y la Comisión de Ciencia, Tecnología y Posgrado recomienda su aprobación.

Que el dictado de la medida se efectúa en uso de las atribuciones otorgadas por el Estatuto Universitario.

Por ello,



Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

EL CONSEJO SUPERIOR DE LA UNIVERSIDAD TECNOLÓGICA NACIONAL

ORDENA:

ARTÍCULO 1º.- Aprobar el currículum del Curso de Actualización de Posgrado "Sistemas Embebidos en Lógica Programable (SOPC)", que figura en el Anexo I y es parte integrante de la presente Ordenanza.

ARTICULO 2º.- Autorizar el dictado del mencionado Curso en la Facultad Regional Bahía Blanca con el Cuerpo Docente que figura en el Anexo II y es parte integrante de la presente Ordenanza.

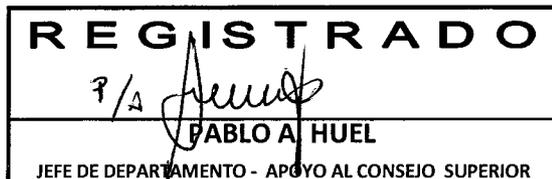
ARTÍCULO 3º.- Regístrese. Comuníquese y archívese.

ORDENANZA N° 1631

UTN
SCTYP
f.c.r.
l.p.

ING. HÉCTOR EDUARDO AIASSA
RECTOR

ING. PABLO ANDRÉS ROSSO
Secretario del Consejo Superior



Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

ORDENANZA Nº 1631

ANEXO I

**CURSO DE ACTUALIZACIÓN DE POSGRADO
SISTEMAS EMBEBIDOS EN LÓGICA PROGRAMABLE (SOPC)**

1. FUNDAMENTOS

El avance tecnológico actual requiere una sólida formación de los profesionales relacionados con el diseño digital que utilizan dispositivos lógicos configurables de alta capacidad (FPGAs). Muchos de los estos profesionales, debido a la naturaleza cotidiana de sus funciones, no pueden permanecer actualizados en las diferentes alternativas que la tecnología digital ofrece permanentemente y que posibilita la generación de emprendimientos en aplicaciones y sectores no potencialmente factibles tan solo pocos años atrás. Por estos motivos, existe actualmente una necesidad de formación por parte de los graduados en Tecnologías Digitales Configurables para satisfacer los cada vez más complejos y exigentes requerimientos de esta temática tan importante en el sector productivo de un país. La formación de posgrado en la temática propuesta posibilita la generación de valor agregado en sectores propicios del país, con el consiguiente beneficio para el sector productivo y social.

2. JUSTIFICACIÓN

Existen dos razones fundamentales que justifican la propuesta del curso: 1) la escasa capacitación en la temática al alcance de los profesionales. La capacitación que realizan actualmente la mayoría de los profesionales relacionados con dispositivos de lógica programable, la efectúan mediante información suministrada por los fabricantes y la realización de aplicaciones particulares para sus actividades laborales. Sin embargo, esta



Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

metodología puede restringirse sólo a la realización de su desarrollo sin profundizar en conceptos o alternativas que pudieran aportar mejores resultados o proyecciones a los procesos de diseño y desarrollo; y 2) la creciente necesidad por parte de los profesionales en la temática para mantener una formación actualizada que les permita ser competitivos en su actividad laboral.

3. OBJETIVOS

El propósito fundamental del curso es capacitar a los profesionales en conceptos y alternativas destinados a mejorar los procesos de diseño y desarrollo de sistemas embebidos en lógica programable.

4. CONTENIDOS MÍNIMOS

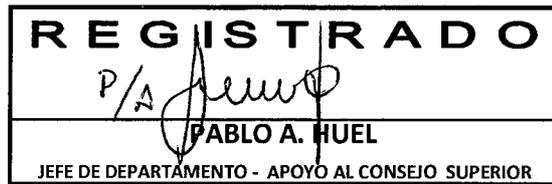
- Diseño de sistemas embebidos: Sistemas embebidos en lógica programable. Desafíos del diseño digital. Métricas de diseño.
- Lógica programable y lenguajes de descripción de hardware: Circuitos digitales con lógica programable. Dispositivos lógicos programables: CPLD y FPGA. Recursos adicionales en dispositivos FPGA. Lenguajes de descripción de hardware. Niveles de abstracción en lenguajes de descripción de hardware. Síntesis y simulación de archivos de descripción de hardware.
- Herramientas de diseño de hardware: Herramientas de diseño de hardware. Flujo de diseño con dispositivos lógicos configurables. Plataformas y licencias. Proyectos de Hardware. Interfaz gráfica de Diseño. Creación de proyecto, Entrada del diseño. Compilación del diseño. Configuración. Asignación de pines. Programador del dispositivo. Simulación de diseños digitales con lenguajes de descripción de hardware: testbench.
- Soft-processors en dispositivos FPGA: Soft-processors. Arquitectura del procesador Nios



Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

II. Características del procesador Nios II. Versiones de Nios II. Instrucciones personalizables (Custom Instructions). Síntesis de software a hardware. Licencia de Nios II. Recomendaciones para diseños con Nios II. Concepto de configuración de soft-processors. Flexibilidad de periféricos y mapa de direcciones. Bus Avalon.

- Diseño de sistemas embebidos en lógica programable: Sistemas-en-chip-programable (SOPC). Flujo de Diseño de Sistemas en Chips Programables. Qsys y SOPC Builder. Directorio de proyecto en Qsys. Diseño de SOPC en Qsys. Realización del flujo de diseño de un SOPC. Creación del proyecto de máxima jerarquía. Generación del sistema en Qsys.
- Generación del software: Generación de software para Nios II. Capa de abstracción de hardware (HAL) y Sistemas Operativos (OS). Estructura de la HAL de Altera. Modelo genérico de los controladores de dispositivos de la HAL de Altera. Desarrollo de software embebido para el procesador Nios II de Altera. Ambiente de desarrollo de software para el procesador Nios II. Flujo de diseño con Nios II EDS. Makefile y Nios II SBT. Creación del proyecto en Nios II SBT. Programación del código de la aplicación. Configuración del proyecto BSP.
- Implementación del SOPC: Implementación del hardware y software. Ejecución del software desde memoria interna del dispositivo FPGA. Creación de los archivos de inicialización de memoria interna. Ejecución del software desde la memoria flash de configuración del dispositivo FPGA. Aplicación boot loading. Configuración por defecto de boot loading en la HAL de Altera. Configuración de opciones de la aplicación boot loading. Creación del archivo de configuración de Flash Programmer.
- Verificación del funcionamiento de sistemas embebidos en dispositivos FPGA: Simulación de SOPC. Generación de un modelo de simulación en Qsys. Depuración en placa de desarrollo de SOPC.



Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

- Lenguaje de comandos TCL en herramientas de diseño: Quartus II: Lenguaje de comandos Tcl en herramientas de diseño. Soporte de archivos de comandos Tcl en Quartus. Paquetes Tcl (Tcl Packages). Ejecutables de línea de comandos de Quartus II. Utilidad para ayuda de paquetes y comandos Tcl en Quartus II. Creación y manipulación de proyectos en Quartus II con comandos Tcl.

5. DURACIÓN:

La carga horaria total del curso propuesto será de CUARENTA (40) horas.

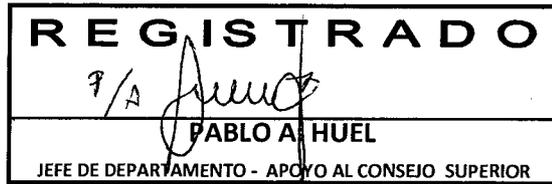
6. METODOLOGÍA DE TRABAJO

El régimen de cursado previsto es presencial. El cursado prevé la combinación de clases teóricas - expositivas y actividades prácticas con uso de computadora.

7. EVALUACIÓN FINAL

Para la aprobación del curso se requerirá, además de la asistencia, la ejecución de los trabajos prácticos, la aprobación de un examen final escrito e individual.

A handwritten signature in black ink, consisting of a stylized, cursive letter 'f'.



Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

ORDENANZA N° 1631

ANEXO II

**CURSO DE ACTUALIZACIÓN DE POSGRADO
SISTEMAS EMBEBIDOS EN LÓGICA PROGRAMABLE (SOPC)
FACULTAD REGIONAL BAHÍA BLANCA**

Docente

- CAYSSIALS, Ricardo Luis

Doctor en Ingeniería, Universidad Nacional del Sur

Especialista en Entornos Virtuales de Aprendizaje, Organización de Estados Iberoamericanos

Ingeniero Electrónico, Universidad Nacional del Sur
