REGISTRADO
PABLO A. HUEL
JEFE DE DIVISIÓN - APOYO AL CONSEJO SUPERIOR

Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

APRUEBA CURSO DE ACTUALIZACIÓN DE POSGRADO

Buenos Aires, 4 de septiembre de 2014

VISTO la Resolución N° 146/14 del Consejo Directivo de la Facultad Regional San Nicolas, a través de la cual solicita la aprobación y autorización de implementación del Curso de Actualización de Posgrado "Diseño de Sistemas Digitales Descriptos en VHDL e Implementados en FPGAs. Simulación y Síntesis", y

CONSIDERANDO:

Que el Curso propuesto responde a la necesidad de brindar a docentes y graduados de la Universidad conocimientos científicos actualizados acerca técnicas de descripción de sistemas digitales mediente el uso de lenguaje de descripción de hardware.

Que la Facultad Regional San Nicolás cuenta con un plantel de profesores de elevado nivel académico y profesional, además de una prolongada y amplia experiencia en el dictado de cursos y seminarios vinculados al propuesto.

Que la Comisión de Posgrado de la Universidad ha analizado los antecedentes que acompañan la solicitud y avala la presentación, y la Comisión de Ciencia, Tecnología y Posgrado recomienda su aprobación.

Que el dictado de la medida se efectúa en uso de las atribuciones otorgadas por el Estatuto Universitario.

Por ello,

EL CONSEJO SUPERIOR DE LA UNIVERSIDAD TECNOLÓGICA NACIONAL

ORDENA:

REGISTRADO

PABLO A. HUEL

JEFE DE DIVISIÓN - APOYO AL CONSEJO SUPERIOR

Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

ARTÍCULO 1°.- Aprobar la actualización del currículo del Curso de Actualización de Posgrado "Diseño de Sistemas Digitales Descriptos en VHDL e Implementados en FPGAs. Simulación y Síntesis" que figura en el Anexo I y es parte integrante de la presente Ordenanza.

ARTICULO 2º.- Autorizar el dictado del mencionado Curso en la Facultad Regional San Nicolás con el Cuerpo Docente que figura en el Anexo II y es parte integrante de la presente Ordenanza.

ARTÍCULO 3°.- Regístrese. Comuníquese y archívese.

ORDENANZA Nº 1442

Ing. HÉCTOR CARLOS BROTTO
RECTOR

A.U.S. RICARDO F. O. SALLER
Secretario del Consejo Superior

REGISTRADO
PABLO A. HUEL
JEFE DE DIVISIÓN - APOYO AL CONSEJO SUPERIOR

Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

ORDENANZA Nº 1442

ANEXO I

CURSO DE ACTUALIZACIÓN DE POSGRADO

DISEÑO DE SISTEMAS DIGITALES DESCRIPTOS EN VHDL E IMPLEMENTADOS EN FPGAS. SIMULACIÓN Y SÍNTESIS

1. FUNDAMENTACIÓN

El actual desarrollo de los sistemas electrónicos y la implementación de los sistemas embebidos a gran escala en equipos de uso cotidiano: teléfonos celulares, tablets, electrodomésticos; como específicos: instrumentos de laboratorio, equipos electromédicos, instrumentos de uso industrial, sistemas de control, HMI, PLCs; que además poseen altas prestaciones y costos cada vez más reducidos hacen uso intenso de los dispositivos FPGA y de otros dispositivos electrónicos. En este contexto tecnológico actual, es necesaria la inminente actualización de los ingenieros electrónicos hacia las nuevas tecnologías cada vez más difundidas y aplicadas.

2. JUSTIFICACIÓN DEL RECORTE DEL CAMPO TEMÁTICO

Los sistemas digitales han asumido en los últimos años un rol importante en el desarrollo y avance de la ciencia y la tecnología.

Forman parte integral de todo equipamiento electrónico, destinados a procesar información y controlar sistemas, a mayor complejidad de la información a procesar se requiere mayor capacidad de procesamiento y mayor nivel de integración. Funciones específicas o algoritmos de procesamiento paralelo son rápidamente implementables en las FPGA. La implementación consta de describir hardware necesario para solucionar el problema en

REGISTRADO
PABLO A. HUEL
JEFE DE DIVISIÓN - APOYO AL CONSEJO SUPERIOR

cuestión, esta descripción se realiza a travez de un lenguaje de descripción de hardware, en el curso se aborda VHDL como tal, pero también podría ser Verilog. Gracias al nivel actual de integración de las FPGAs, puede describirse el hardware necesario e implementarse en un solo chip FPGA.

La utilización de las FPGAs abarca, por ejemplo, sistemas embebidos, RTOS, sistemas de procesamiento de imágenes, computadores de vuelo, Aeroespacial, Militar, etc

Resulta fundamental que el ingeniero posea un buen conocimiento en este tema, abordando esta tecnología como el futuro cercano en el desarrollo de sistemas electrónicos, donde actualemente la carrera de grado no lo cubre satisfactoriamente, por tal es muy conveniente la incorporación de este tema como curso de posgrado.

3. OBJETIVOS:

Objetivos generales

Aprender el modo y técnicas de descripción de sistemas digitales mediante el uso de lenguaje de descripción de hardware (Hardware Lenguage Description), particularmente VHDL. Conocer las distintas tecnológicas ofrecidas en el mercado de dispositivos lógicos programables.

Comprender y solucionar problemas típicos de implementación de sistemas digitales en FPGAs. Configuración del FPGA, simulación pre y post ruteo, técnicas avanzadas de diseño.

Objetivos específicos

- Describir un sistema digital complejo en VHDL
- Simular un sistema digital complejo usando Test Bench(es) en un ambiente de desarrollo de VHDL
- Conocer técnicas de diseño avanzadas de sistemas digitales

REGISTRADO
PABLO A. HUEL
JEFE DE DIVISIÓN - APOYO AL CONSEJO SUPERIOR

- Entender reportes de tiempo (timing) de un sistema digital implementado en FPGA
- Aprender técnicas de mejoras del timing de un sistema digital
- Describir Máquinas de Estados Finitas complejas en VHDL
- Conocer, describir e implementar distintos tipos de protocolos de comunicación, paralelos y/o series.
- Familiarizarse con el uso de herramientas EDA de tecnología de punta
- Implementar un sistema digital en un FPGA.

4. CONTENIDOS MÍNIMOS

FPGAs: La evolución CPLDs y FPGAs. Tecnologías usadas: Flash, Fuse, SRAM. Arquitectura de un FPGA. Bloques dedicados: DSP, SRAM, Relojes. Bancos de Entradas/Salidas. Estándares E/S. Caminos críticos típicos en un FPGA. Generación de reloj, ruteo dedicado de reloj, y de bajo retardo. Bloques dedicados de muy alta velocidad de transmisión y recepción serie. Configuración de un FPGA, opciones.

HDL – Modelación: Lenguajes de descripción de hardware. Historia, necesidad e importancia de HDL. VHDL. Abstracción del lenguaje VHDL. Diseños jerárquicos. Entidad/Arquitectura. Modelación Estructural. Modelación Flujo de Datos. Modelación Comportamiento. Simulación. Instrucciones Secuenciales y Concurrentes. Concurrencia. Eventos y Transacciones.

Elementos del Lenguaje: Datos. Objetos. Tipos de Datos: escalares, compuestos, archivos. Subtipos. Arreglos (arrays). Operadores: lógicos, relacionales y aritméticos. Señales. Variables. Funciones de conversión de tipos. Funciones estándares. Funciones escritas por usuario.

Instrucciones Concurrentes: Instrucciones de asignación de señales. Instrucción de asignación de señal condicionada. Instrucción assert. Instrucción generate, for-generate.

REGISTRADO
PABLO A. HUEL
JEFE DE DIVISIÓN - APOYO AL CONSEJO SUPERIOR

Instrucción de asignación selectiva. Instrucción de instanciación de componentes, diversas formas de asociación.

Instrucciones Secuenciales: Asignación de variables. Asignación de señales. Drivers, retardos de transporte, formas de ondas. Instrucciones: if-then, case-when, loop, next, exit, null, return, wait, assert.

Validación: Importancia de la validación. Distintas técnicas de validación. Patrones de escritura de Test Bench. Uso de instrucciones secuenciales y concurrentes en la generación de datos, relojes, resets, etc. Técnicas de comprobación de resultados. Validación pre y post ruteo. Diferencias.

Paquetes, Librerías y Subprogramas: Paquete, declaración y cuerpo Subprogramas. Funciones. Procedimientos. Uso de subprogramas. Ejemplos típicos de funciones y procedimientos. Funciones de conversión de tipos. Llamados concurrentes y secuenciales. Sobrecarga. Librerías.

Síntesis de Máquinas de Estado Finitas: VHDL para modelar y sintetizar FSMs. Inicialización, codificación y estados redundantes. Distintos tipos de FSMs y su respectiva codificación. Síntesis de FSMs complejas en dispositivos lógicos programables. Ejemplos de síntesis usando FPGAs.

VHDL para Síntesis: Guías para síntesis de sistemas digitales. Síntesis usando Dispositivos Lógicos Programables (PLDs). VHDL para inferir flip-flops, latches, tri-estados. VHDL para generar circuitos combinacionales. Simulación versus síntesis. Directivas para síntesis pos de implementación.

Análisis de Tiempo en FPGA: Frecuencia máxima de un sistema digital implementado en FPGA. Parámetros de tiempo más importantes. Tiempo de establecimiento. Tiempo de sostenimiento. Retardos de ruteo de entradas y salidas. Uso de generadores de reloj para

REGISTRADO
PABLO A. HUEL
JEFE DE DIVISIÓN - APOYO AL CONSEJO SUPERIOR

adelantar o atrasar flanco de reloj. Restricciones de tiempo más importantes.

Técnicas Avanzadas de Diseño Digital: Diseños con distintos dominios de reloj. Distintos sincronizadores. Sincronización de buses. Protocolo de cuatro fases. Desviación de reloj en FPGA (skew). Correcta implementación de divisores de frecuencia. Restricciones de implementación. Soluciones para problemas de timing. Pipelining. Reset asincrónico, sincrónico. Regla 60/40. Floorplaning.

5. DURACIÓN:

La carga horaria total del curso es de SESENTA (60) horas.

6. METODOLOGÍA:

El régimen de cursado previsto es presencial. El curso se desarrollará a través de clases teórico-expositivas, la resolución de problemas y trabajos prácticos.

7. EVALUACIÓN FINAL:

Para la aprobación del curso se requerirá, además de la asistencia, que los alumnos aprueben los trabajos prácticos y un examen final individual.

REGISTRADO
PABLO A. HUEL
JEFE DE DIVISIÓN - APOYO AL CONSEJO SUPERIOR

Ministerio de Educación
Universidad Tecnológica Nacional
Rectorado

ORDENANZA Nº 1442

ANEXO II

CURSO DE ACTUALIZACIÓN DE POSGRADO

DISEÑO DE SISTEMAS DIGITALES DESCRIPTOS EN VHDL E IMPLEMENTADOS EN FPGAS. SIMULACIÓN Y SÍNTESIS

FACULTAD REGIONAL SAN NICOLAS

Docentes

- SISTERNA, Cristian

Master of Technology in Computer Engineering, Arizona State University, Estados Unidos

Ungeniero Electrónico, Universidad Nacional de San Juan